

No English title available.

Patent Number:

Publication date: 1974-06-19

Inventor(s):

Applicant(s):

Requested Patent: JP49063366

Application Number: JP19720104917 19721019

Priority Number(s): JP19720104917 19721019

IPC Classification:

EC Classification:

Equivalents:

Abstract

Data supplied from the esp@cenet database - I2



資料①

正

⑯ 日本国特許庁

公開特許公報

特許願(2)

後記番号

昭和年月日
47.10.19

(2,000円) 特許庁長官 殿

発明の名称

エンジン/タフタ
演算増幅器

発明者

東京都港区芝五丁目7番15号
日本電気株式会社内

シオトモ

西尾文之

特許出願人

東京都港区芝五丁目7番15号

(423) 日本電気株式会社

代表者 社長 小林宏治

代理人

東京都港区芝五丁目7番15号

日本電気株式会社内

(6591) 弁理士内原晋

電話 (452) 1111-1 (大代表)

⑯特開昭 49-63366

⑯公開日 昭49.(1974) 6. 19

⑯特願昭 47-104917

⑯出願日 昭47.(1972)10.19

審査請求 有 (全5頁)

⑯府内整理番号 ⑯日本分類

6416 53

986A014

7257 56

978B01

6416 53

986A21

明細書

発明の名称 演算増幅器

特許請求の範囲

出力駆動段と直結との間にエミittersオロク回路を設けた直結多段演算増幅器について、前記エミittersオロク回路を構成するエミittersオロク・トランジスタのベース電流を分配するよう逆流された保護用トランジスタと、前記エミittersオロク・トランジスタの過大電流を検出して前記保護用トランジスタを導通させるよう逆流された抵抗とを有する過大電流保護回路を具備することを特徴とする演算増幅器。

発明の詳細な説明

本発明は演算増幅器、特に直結多段演算増幅器に関するものである。

直結多段演算増幅器は、動作特性の安定化を目的に入力段に歪曲増幅回路を用い更に何段

かの直結増幅回路を加えることがほとんど慣例になつておき、又この複数の直結増幅器においては、出力駆動段とその前段との間にエミittersオロク回路を用いることも慣例である。従来の直結多段演算増幅器においては、このエミittersオロク回路の次段である出力駆動段を構成するトランジスタがある入力条件により飽和領域において動作するところがあるために、出力駆動段の入力インピーダンスは著しく低下し、従つてエミittersオロク回路のトランジスタに過大電流をはず結果となる。

従来この過大電流を防止するためにダイオードを使用している。しかしながら、この方法ではエミittersオロク回路と出力駆動段との間にダイオードを接続して電流を分配しているために、ダイオードに大きな折損が発生され、又ダイオードのリード電流が直ちに回路の特性劣化を招く等の欠点がある。

本発明の目的は、これまでの欠点をなくした過大電流保護回路を具備した演算増幅器を提供するに

特開 昭49-63366(2)

便として一部分遮するため少し、使つてエミクタフォロワ・トランジスタのコレクタ電流が減少することになり、過大電流は防止される。

本発明の過大電流保護回路は保護増幅器の特性劣化をもたらすことなく効果的で所定の目的を果すことができる。又この保護用トランジスタに特別のきびしい特性が要求されることもない。

次に本発明をその実施例について図面をお願して詳細に説明する。

図1図を参照すると、本発明の一実施例の保護増幅器について、その入力端101は正面増幅回路からなっており、入力端子1及び2に各々のベースが接続され、かつエミクタが共通接続されたトランジスタ3及び4が正面増幅回路を構成している。これら2つのトランジスタ3及び4のエミンタ共通接続点は定電流回路5を介して正面端子6に接続されている。一方トランジスタ3及び4のコレクタは、エミクタが共通接続されたトランジスタ7及び8のコレクタにそれぞれ接続され、これら2つのトランジスタ7及び8はエミクタ共通接続点を

10

15

20

ある。

本発明は、出力駆動段と底板との間に用いるエミクタフォロワ回路において、そのエミンタフォロワ・トランジスタのエミクタ電流の主電流路となるようにエミクタとそのエミクタ電流との間に接続した追加抵抗と、この追加抵抗の一端とエミクタフォロワ・トランジスタのエミクタとの接続点にベースを、追加抵抗の他端にエミクタセ、エミクタフォロワ・トランジスタのベースにコレクタをそれぞれ接続した保護用トランジスタとより成る過大電流保護回路を具備することを特徴とする。

本発明の過大電流保護回路によれば、エミクタフォロワ・トランジスタに過大電流が生じた場合、エミクタフォロワ・トランジスタのエミクタ電流の主電流路に直列に挿入された検出用抵抗の両端に過大電流に応じた大きさの電圧降下が発生し、この電圧降下により保護用トランジスタが導通する。その結果、エミクタフォロワ・トランジスタのベース電流がこの保護用トランジスタのコレクタ電

流電源9に接続されることにより、トランジスタ3及び4の駆動負荷となつてゐる。

トランジスタ3及び8のベースは共通接続され、この共通接続点は分岐されて抵抗11を介して負電源9に接続されていると共に、別のトランジスタ11のエミンタに接続されている。このトランジスタ11のベースはトランジスタ3のコレクタに接続され、コレクタは正面端子6に接続されている。

トランジスタ4のコレクタ出力は入力端101の出力となり、次段のエミクタフォロワ回路102の入力となる。

エミクタフォロワ回路102を構成するトランジスタ12のベースはトランジスタ4のコレクタ及びトランジスタ13のコレクタに接続され、そのコレクタは正面端子6へ。エミンタは保護用トランジスタ13のベース及び過大電流検出用抵抗14の一端にそれぞれ接続されている。保護用トランジスタ13のコレクタはエミクタフォロワ・トランジスタ12のベースに、エミクタは抵抗14の

他端に接続され、その接続点は抵抗15を介して負電源9に接続され、かつこのエミクタフォロワ回路102の出力となつてゐる。

この出力は出力駆動回路103の人力となり駆動用トランジスタ16のベースに接続される。駆動用トランジスタ16のエミンタは負電源9に接続され、コレクタはダイオード17のカソードに接続されている。ダイオード17のアノードはダイオード18のカソードに接続され、ダイオード18のアノードは駆動用トランジスタ16の正面駆動用である定電流回路19を介して正面端子6へ接続されている。

ダイオード17のカソード出力、及びダイオード18のアノード出力はこの出力駆動回路103の出力となり、出力端104の入力となる。出力端104は相補性ブリッジユーブル構成でPNPトランジスタ20及びNPNトランジスタ21より成り、これらトランジスタ20及び21のベースは各々ダイオード17のカソード及びダイオード18のアノードに接続されている。トランジスタ20及

5

10

15

20

び 21 のコレクタは負電圧 6 及び正電圧 6 へそれぞれ並列され、トランジスタ 20 及び 21 のエミッタは共通接続されて、この共通接続点が底面電極部の出力端子 22 に接続されている。

出力端子 22 にかける出力は、正電圧 6 と負電圧 6 の電位差を入力の大きさに応じて任意に印加することができる。出力端子 104 は出力端子 103 の出力に逆接する。出力端子 103 はトランジスタ 16 及び底面電極 10 により構成されているので、トランジスタ 16 のコレクタ電位は底面電極 6 と負電圧 9 の電位差を実現することになる。底面用トランジスタ 16 のコレクタ電位が正電圧 6 近くにある状態では、トランジスタ 16 は底面領域にありその入力インピーダンスも出力インピーダンスも高い。トランジスタ 16 のベース電位が上昇した場合、コレクタ電位は負電圧 9 に近づきトランジスタ 16 のベース・コレクタ間は逆方向バイアスから順方向バイアスとなるために、トランジスタ 16 は饱和領域で動作することになる。

である。

ここで本発明の効果を説明するため、第 2 図に示した従来の過大電流保護回路を備する計算増幅器を調査すると、従来はエミッタフォロワ・トランジスタ 12 のベースと底面用トランジスタ 16 のコレクタとの間に底面用ダイオード 23 を接続していた。この従来の構成ではトランジスタ 16 が饱和領域に達した場合には、それまで逆方向バイアスされていたダイオード 23 は順方向バイアスとなり、トランジスタ 12 のベース電位が、ダイオード 23 により分離されることになる。従つてトランジスタ 12 のコレクタ電位が減少し大電流は停止されることになる。しかしながら、このようなダイオードを用いる回路方式においては、ダイオード 23 の両端には最大、正電圧 6 及び負電圧 9 の高電圧近くの電位が逆方向に印加されることがあるためダイオードに大きさ逆耐圧が要求される。又ダイオード 23 のリード電流が直ちに回路の特性劣化を招くことになる。従つて第 2 図のような従来の回路は実用が困難である。

特開昭49-63366(3)

この飽和状態においては、トランジスタ 16 のベースからみたインピーダンスは著しく低下し、従つてベース・エミッタ間に大きな電流が流れるとなる。この大電流は入力は 101 と出力端子 103 との間を結合しているエミッタフォロワ・トランジスタ 12 を通して流れることとなる。ここで、トランジスタ 12 に过大な電流が流れると、底面 14 の内部にその飽和域とされる領域の端で定まる電圧降下を生じる。この電圧降下が底面用トランジスタ 13 のベース・エミッタ間に逆方向にバイアスして、そのコレクタに飽和を生ぜしめるのでエミッタフォロワ・トランジスタ 12 のベース電位の一部は底面用トランジスタ 13 のコレクタに流れることになる。従つて過大電流が流れているトランジスタ 12 のベース電流は減少し、その結果コレクタ電流は減少することになり、過大電流は防止される。なお、所定電流以上の過大電流がエミッタフォロワ・トランジスタ 12 を流れたときに底面用トランジスタ 13 が動作するよう挿出端子 14 の基準値を決めておくことは勿論

これに対し、本発明による回路構成においては、底面用トランジスタ 13 のコレクタ・エミッタ間に底面用ダイオード順方向電圧 2 比分の電圧がかかるだけなので、逆耐圧に対する過大な要求はないし、底面用ダイオード 14 は底面 15 に比較して一般に抵抗できる程度の大きさであるので回路特性に影響を及ぼさない。

なお、本発明の具体的構成は前記実施例に規定されることなく種々の実験が可能であり、前記各実施例の範囲に記載されたすべての計算増幅器に及ぶ。

図面の簡単な説明

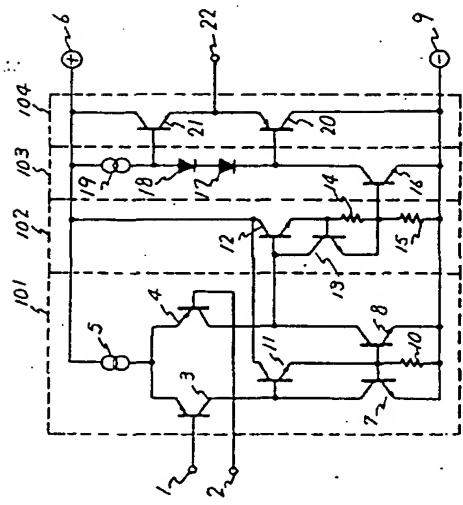
第 1 図は本発明の実施例を示す回路図、第 2 図は従来の過大電流保護回路を備した計算増幅器の回路図である。第 2 図において、第 1 図と同等の部分は第 1 図と同じ番号数字で示されている。なお、図において 12 はエミッタフォロワ回路を構成するトランジスタ、13 は本発明による過大電流保護用トランジスタ、14 は過大電流検出用

(4)

特開 昭49- 63366 (4)

説明。101は入力線、102はエミグリオ
リ回路、103は出力駆動線、及び104は出力
線である。

代理人 井澤士 内原 喬



特開 昭49- 63366(5)

添付書類の目録

明 証 書	1通
活 任 状	1通
因 面	1通
証 書 原 本	1通
出 聞 古 交 請 求 書	1通

